

INFORMATION PROCESSOR

Patent Number: JP60014339
Publication date: 1985-01-24
Inventor(s): TAMURA NOBORU
Applicant(s):: CANON KK
Requested Patent: ☐ JP60014339
Application Number: JP19830121529 19830706
Priority Number(s):
IPC Classification: G06F9/34 ; G06F9/30
EC Classification:
Equivalents:

Abstract

PURPOSE: To reduce the memory occupancy factor and to shorten the processing time for an information processor having a stack type memory control function, by using a new SST instruction.
CONSTITUTION: When an SST instruction is designated by a program counter 20 via an address bus 22 during the execution of a program, the address data A following an SST code is read out to an address counter 13. Then a main control circuit 18 reads the contents of a memory address shown by the contents A of the counter 13 to an auxiliary register 21, outputs the contents of a stack register 12 to the bus 22, outputs the contents of the register 21 to a data bus 10 and writes the write signal to a memory address shown by the contents of the register 12. Then the register 12 is counted down by one, and the data A of the counter 13 is put on the bus 22. At the same time, the contents of an accumulator 16 are put on the bus 10 through an arithmetic circuit 17. Then the contents of the accumulator 16 are written to the indicated address A of the instruction SST.

Data supplied from the esp@cenet database - I2

THIS PAGE BLANK (U.S.G.)

⑨ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭60—14339

⑬ Int. Cl.⁴

G 06 F 9/34
9/30

識別記号

庁内整理番号
7361—5B
7361—5B

⑬ 公開 昭和60年(1985)1月24日

発明の数 1
審査請求 未請求

(全 6 頁)

⑭ 情報処理装置

⑯ 特 願 昭58—121529

⑰ 出 願 昭58(1983)7月6日

⑱ 発 明 者 田村昇

東京都大田区下丸子3丁目30番

2号キヤノン株式会社内

⑲ 出 願 人 キヤノン株式会社

東京都大田区下丸子3丁目30番
2号

⑳ 代 理 人 弁理士 大塚康徳

明 細 書

1. 発明の名称

情報処理装置

2. 特許請求の範囲

命令語で指定されたメモリアドレスの内容をスタックレジスタの内容で指定されるメモリアドレスに書き込んだ後、前記命令語で指定されたメモリアドレスにアキュムレータの内容を書き込み、併せてスタックレジスタの内容を所定数更新する、前記命令語の実行手段を有することを特徴とする情報処理装置。

3. 発明の詳細な説明

技術分野

本発明は、スタック式メモリ管理機能を備えた情報処理装置に関するものである。

従来技術

従来より一般にスタック式メモリ管理機能を備えた情報処理装置はスタックレジスタあるいはスタックポインタと呼ばれる専用レジスタと、PUSH、PULLと呼ばれるスタックポインタの制御命令を備えている。

PUSH、PULL命令は、一般に次の様にその実行内容が定義されて使われている。

PUSH: スタックレジスタの内容が示すメモリアドレスへアキュムレータの内容を書き込み、その後スタックレジスタの内容を1カウントダウンする。

PULL: スタックレジスタの内容を1カウン
トアップして後、その内容が示すメモリア
ドレスの内容をアキュムレータへ読み出
す。

このような情報処理装置で実際に上述命令を使用
した従来のプログラム例をあげると第1図のよう
になる。このプログラムはメモリのA番地の内容
を一時メモリの別の番地に退避させ、次にメモリ
のA番地を他の目的に従って使用し、後に必要に
なつた時にA番地にもとの内容を復元させる処理
手順を示す。

ここでLDおよびST命令の実行内容は次の様
に定義されている。

LD A: Aで指定したメモリアドレスの内容
をアキュムレータに読み出す。

ST A: アキュムレータの内容をAで指定し

3

内容を再びメモリA番地に戻す。この状態でスタ
ックレジスタの内容はBに戻り、メモリA番地の
内容は前記1のプログラムを実行したときの状態
に復元している。

第2図には従来のもう1つのプログラム例のフ
ローチャートを示す。ここにはある連続番地のメ
モリ内容を別の連続した番地に転送するための一
連の処理手順が示されている。第2図の命令のス
テップを追つての詳細な説明は第1図で説明した
内容から容易に理解できるので省略するが、ここ
でIはインデックスレジスタ、「I=0」はイン
デックスレジスタに0をセットすること、「A+
I」はメモリアドレスAにインデックスレジスタ
Iの内容を加えたものを実際のメモリアドレスと
して使用すること、「I=n?」はインデックス
レジスタIの内容がnか否かの判別を行うことを

5

たメモリアドレスへ書き込む。

また、スタックレジスタにはB(メモリアドレ
ス)が格納されているものとする。

まず第1図の1で示されるプログラムを実行す
ると、命令「LD A」の実行でメモリA番地の
内容がアキュムレータに読み出され、次に命令
「PUSH」の実行でアキュムレータの内容がメ
モリのB番地に記憶され、かつスタックレジスタ
の内容がB-1になる。次に2で示されるプログ
ラム中には命令「STA」の実行が含まれてお
り、ここでA番地の内容が以前のものから変化する
ことになる。次に3で示すプログラムを実行す
ると、命令「PULL」の実行でスタックレジ
スタの内容が1カウントアップされメモリB番地に
格納されている内容をアキュムレータに読み出し
次に命令「ST A」の実行でアキュムレータの

4

内容を再びメモリA番地に戻す。この状態でスタ
ックレジスタの内容はBに戻り、メモリA番地の
内容は前記1のプログラムを実行したときの状態
に復元している。

第2図には従来のもう1つのプログラム例のフ
ローチャートを示す。ここにはある連続番地のメ
モリ内容を別の連続した番地に転送するための一
連の処理手順が示されている。第2図の命令のス
テップを追つての詳細な説明は第1図で説明した
内容から容易に理解できるので省略するが、ここ
でIはインデックスレジスタ、「I=0」はイン
デックスレジスタに0をセットすること、「A+
I」はメモリアドレスAにインデックスレジスタ
Iの内容を加えたものを実際のメモリアドレスと
して使用すること、「I=n?」はインデックス
レジスタIの内容がnか否かの判別を行うことを

大々示す。従つて4で示されるプログラムの実行
により、メモリのA番地から始まつてA+n-1
番地までのメモリ内容をB番地からB+n-1番
地に転送している。次に5で示されるプログラ
ムの実行により、メモリのA番地からA+n-1番
地までの内容をアキュムレータの内容で書き換え
ている。このように第1図および第2図のプログ
ラム例は処理の中間データの一時退避、あるいは
ファイルデータの転送等、実際によく使用される
一連の処理を従来の装置がLD, ST, PULL,
PUSHの命令の組合せで実行する処理手順
を示したものである。従つてプログラムのステ
ップ数をこれ以上短縮して処理速度をあげたり、処
理手順を簡略化してプログラムの煩雑さを回避す
るためには大きな障害となつていた。

目的

6

本発明は上述した従来技術の欠点を除去できるスタック式メモリ管理機能をもつた情報処理装置を提供することを目的とする。

実施例

以下図面に従って本発明の一実施例を詳細に説明する。

第3図は本発明に係る一実施例のマイクロコンピュータのプロセッサ部構成を示すブロック図である。図において、10は内部のデータバス、斜線の22はアドレスバスである。11はメモリでアドレスバス22を介して与えられるアドレスにデータバス10を介してデータを読み書き可能に構成されている。なおメモリ11に格納されている情報はプログラムコードと各種データである。16はアキュムレータ、17は算術論理演算回路、14は命令レジスタ、15は命令レジスタの

7

SS T A : Aで指定したメモリアドレスの内容を読み出し、その内容をスタックレジスタの内容が示すメモリアドレスへ書き込んだ後、アキュムレータの内容を前記Aで指定したメモリアドレスへ書き込み、併せてスタックレジスタの内容を1カウントダウンする。

プログラムの実行が進行してこの命令がプログラムカウンタ20により、アドレスバス22を介して指定され、データバス10を介して次に実行すべき命令として命令レジスタ14に読み出されると、命令デコード15がその内容を解釈する。次に命令デコード15がSS Tのコードをデコードすると、その旨を示す信号の組が制御バス19を介して主制御回路18に送られる。その結果主制御回路18から一連の制御タイミング信号、ゲート信号が制御線23に出力される。以下の動

9

コードをデコードする命令デコード、19はデコードされた出力に従って各種制御の信号の組を伝達する制御バス、18は命令実行の主制御を掌る主制御回路、23は主制御回路から出力される制御タイミング信号、ゲート信号等を伝達する制御線、20はプログラムの進行を掌るプログラムカウンタ、13は命令語のアドレス情報を格納するアドレスカウンタ、12はスタックレジスタ、21は読み出しデータを一時的に格納する補助レジスタである。尚、これ以外の構成については汎用プロセッサの有するものと同等であり、説明の簡明化のために図示しない。

以上のように構成されたプロセッサ部の動作を以下に説明する。

ここで本発明により設けられた新しい命令「SS T A」の実行内容を次の様に定義する。

8

作を第6図のフローチャートを参照して具体的に説明すると、データバス10を介してSS Tコードに付随するアドレスデータAがアドレスカウンタ13に読み出される(ステップ1)。次に主制御回路18はそのアドレスカウンタ13の内容Aによつて示されるメモリ番地の内容を補助レジスタ21へ読み出す(ステップ2)。次に主制御回路18はスタックレジスタ12の内容をアドレスバス22に出力し、同時に補助レジスタ21の内容をデータバス10に出力してメモリ番地信号を送り補助レジスタ21の内容をスタックレジスタ12の内容で示すメモリアドレスへ書き込む(ステップ3)。

次に主制御回路18はスタックレジスタ12の内容を1カウントダウンする(ステップ4)。更に主制御回路18はアドレスカウンタ13にその

10

ままのこつているアドレスデータAをアドレスバス22に乗せ、同時にアキュムレータ16の内容を算術論理演算回路17を通してそのままデータバス10に乗せることにより、命令「SST」の指示アドレスAにアキュムレータ16の内容を書き込む(ステップ5)。以上で命令「SST A」の一連の動作は全て完了したので、主制御回路18は次の命令を命令レジスタ14に読み出すような動作に移行する。

実施例の如き新しい命令「SST」を使用することにより既に第1図、第2図で説明したプログラムの処理手順が非常に簡潔なものになる。第4図は本発明に係る情報処理装置で実行するプログラムの一例であり、第1図で示したプログラムと同じ目的を達成する場合の処理手順を示している。また第5図は本発明に係る情報処理装置で実

11

法に従つて実行された結果は第2図のものと同一であるがプログラムのステップ数が格段に減少し、かつ処理手順が簡略されていることが解る。

尚、SST命令の使用される処理は第4図や第5図で示した例に限られるものでない事は明らかである。

効果

以上説明した様に本発明によれば、従来複雑なプログラム構成を必要としたスタック命令を用いての処理において、全く新しい命令であるSST命令の処理の概念を導入し、これを達成するためのハードウェアの一部の追加、変更により、非常に簡潔なプログラムの処理手順で従来と同一の処理結果が得られ、プログラムのためのメモリ占有率が軽減でき、処理時間も短縮できるなど、様々な効果が得られる情報処理装置の提供が可能にな

13

行するプログラムのもう1つの例で、第2図で示したプログラムと同じ目的を達成する場合の処理手順を示している。第4図の6で示されるプログラムステップの実行により、A番地のメモリ内容がスタックレジスタの内容で示される番地(この場合B番地とする)に格納され、その後アキュムレータの内容がA番地に書き込まれ、かつスタックレジスタの内容が1カウントダウンされる。また、第5図の7、8で示されるプログラムの実行により、第2図の4、5で示された処理と同じ動作が可能になる事は容易に理解できるであろう。

ここではスタックレジスタの内容が自動的に1カウントダウンされることに従い、ファイルデータの転送を第2図のものとは逆にメモリの高い番地から低い番地にむけて行うようにした。この方

12

る。

4. 図面の簡単な説明

第1図は従来プログラムの一例を示す説明図。

第2図は従来プログラムの他の例を示すフローチャート。

第3図は本発明に係る一実施例のマイクロコンピュータのプロセッサ部構成を示すブロック図。

第4図は本発明によるプログラムの一例を示す説明図。

第5図は本発明によるプログラムの他の例を示すフローチャート。

第6図は本発明に係る命令を実行する手順を示すフローチャートである。

ここで、10…データバス、11…メモリ、12…スタックレジスタ、13…アドレスカウン

14

タ、14…命令レジスタ、15…命令デコーダ、
16…アキュムレータ、17…算術論理演算回
路、18…主制御回路、19…制御バス、20…
プログラムカウンタ、21…補助レジスタ、
22…アドレスバス、23…制御線である。

特許出願人 キヤノン株式会社

代理人 弁理士 大 塚 康

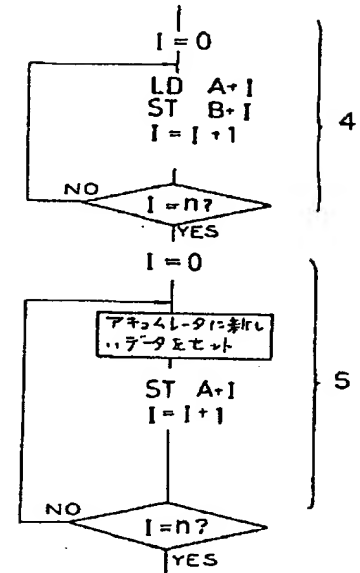
第 1 図

```

LD A
PUSH } ~1
ST A  } ~2
PULL  } ~3
ST A

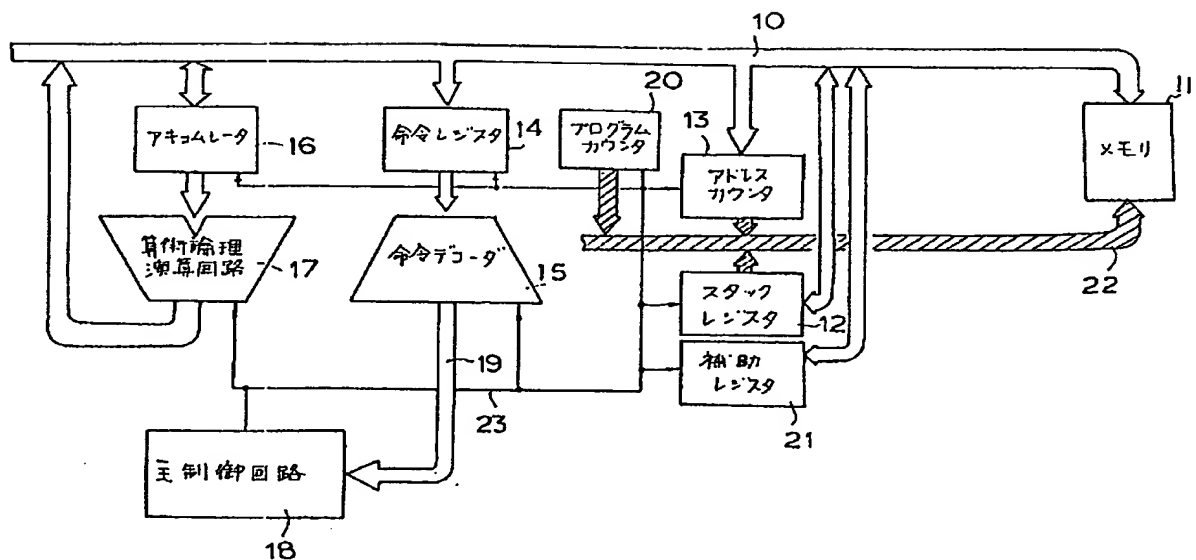
```

第 2 図



15

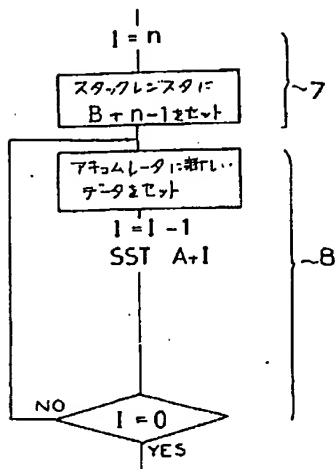
第 3 図



第 4 図

...
 SST A]~6
 ...
 PULL
 ST A

第 5 図



第 6 図

